

数据采集器的可测性设计与评估

杜影¹, 翁璐², 徐鹏程¹, 李洋¹

(1. 北京航天测控技术有限公司, 北京 100041; 2. 海军装备部, 北京 100841)

摘要: 针对数模混合系统的快速诊断维修问题, 以数据采集器作为对象, 研究典型数模混合系统的可测性设计及评估; 文章首先介绍了两种先进的可测性设计技术: 边界扫描技术和内建自测试技术; 以某数据采集系统为对象, 阐述其关键性能指标, 并依据“分块设计”的方法分析了系统各个测试模块的故障类型和采用的可测试性设计方案; 最后, 利用 TEAMS 软件建立了数据采集系统的基于多信号流的模型, 经计算及仿真对比了可测性设计前后的测试性设计指标; 仿真结果表明, 增加可测性设计, 可以提高电子系统的故障检测率和隔离率, 但要增加测试代价, 并在一定程度上降低系统的可靠性。

关键词: 可测性; 数模混合; 边界扫描; 内建自测试

DFT and Testable Evaluation of Data Collector

Du Ying¹, Weng Lu², Xu Pengcheng¹, Li Yang¹

(1. Beijing Aerospace Measurement & Control Technology Co., Ltd., Beijing 100041, China;

2. The Department of Navel Equipment, Beijing 100841, China)

Abstract: Based on the problem of fast diagnosis and maintenance of mixed-signal system, the DFT and evaluation of the data collector which is the typical mixed-signal system are researched in this paper. Firstly, two types of advanced DFT technologies: the boundary-scan technology and the BIST technology are introduced. Then, the important capabilities of the data collector are illustrated. The fault types and the design scheme of the test modules in the system are presented. By computing and simulating in TEAMS, the testability design target based on the multi-signal flow model is analyzed. Finally, the results indicate that the DFT could improve the fault-test rate (FIR) and the fault-isolation rate (FIR), increase the test cost and decrease the system reliability at the same time.

Key words: design for test (DFT); mixed-signal; boundary-scan; built-in-self test

0 引言

目前产品的设计进入了以综合为基础的阶段, 将测试与设计综合结合起来, 以自动化的方式来实现可测试性设计已成为必然的趋势。并且, 随着可测试性设计思想的引入, 新的可测试性机制的采纳以及新型智能测试信息处理方法的开发, 可测试性技术的应用领域正在得到极大的拓展^[1]。

作为测试对象, 模拟、数模混合电路的测试方法与数字电路的测试方法有较大不同。由于模拟元件总类繁多且有容差的存在, 使其很难形成统一的测试方法。因而, 不同的模拟、数模混合电路需要不同的符合其测试要求的测试性设计。

本文以高速数据采集器系统作为对象, 讨论典型数模混合系统的测试性设计与评估问题。

1 先进的可测性设计技术

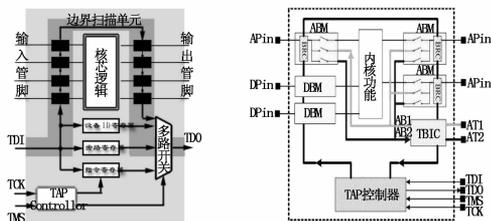
1.1 边界扫描技术

边界扫描机制提供了一种完整的、标准化的可测试性设计方法。其主要思想是: 通过在芯片管脚和芯片内部逻辑电路之间, 即芯片的边界上增加边界扫描单元, 实现对芯片管脚状态的串行设定和读取, 从而提供芯片级、板级、系统级的标准测试框架^[2]。自边界扫描标准出现以来, 市场上支持边界扫描机制的芯片及设计开发软件与日俱增, 其应用越来越广泛, 并逐

渐成为主流的可测试性设计技术^[3]。

IEEE1149.1 标准^[4]定义了数字电路的边界扫描测试标准, 它提供了对电路板上元件的功能、互连及相互间影响进行测试的一种新方案。利用这种技术, 不仅能测试集成电路芯片输入/输出管脚的状态, 而且能够测试芯片内部工作情况以及直至引线级的断路和短路故障。其结构如图 1 (a) 所示。

IEEE1149.4 标准^[5]旨在提供混合信号电路中发现短路、开路 and 误装配模拟部件的比较简单的能力。该标准提供的测试方法有: 互连测试、参数测试 (PCB 中分立元件的存在和值的测试) 以及内部测试 (测试混合信号器件本身的内部电路)。必须测试的模拟电路故障类型包括互连中的短路和开路, 误装配的分立模拟部件或超出其容限范围的部件。而互连分类为简单互连、差分互连和扩展互连。其中的重点是扩展互连测试, 即对电路中无源元件的模拟特性的测试。该标准实现了电路板上节点检测虚拟探针的概念。其结构如图 1 (b) 所示。



(a) 1149.1 标准结构

(b) 1149.4 标准结构

图 1 边界扫描结构

对于一个电路板系统, 若其上都是边界扫描器件, 则只要

收稿日期: 2014-01-11; 修回日期: 2014-02-21。

基金项目: 总装备部预研项目(51317040204)。

作者简介: 杜影(1981-), 女, 高级工程师, 主要从事测试测量技术与可测试性设计方向的研究。

将器件的 TDI、TDO 依次首尾相连, 优化设计边界扫描链即可对整个电路板进行测试。但是往往一个电路板系统包含许多非边界扫描器件。一般可将非边界扫描器件分成几组, 通过在电路板上置入边界扫描结构器件, 包围非边界扫描电路来实现对每组非边界扫描器件的测试 (见图 2)。

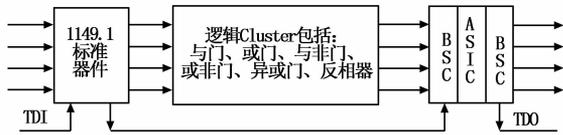


图 2 非边界扫描芯片簇测试示意图

1.2 内建自测试技术

内建自测试 (BIST) 技术是针对芯片内部功能测试发展而来的技术, 将其应用到板级产品的可测性设计中, 用以解决电路板中电路模块的性能测试问题是很好的方案。与常规测试性设计技术相比, 基于 BIST 技术设计的电路非常有利于故障诊断、维护测试和开机测试。

内建自测试结构如图 3 所示, 主要包括测试图形生成电路、数据压缩电路、比较分析电路、存储器和控制电路。其自动产生测试向量, 自动判断结果通过还是未通过, 简化了外部测试设备。测试生成电路所产生的测试图形在时钟作用下加到被测电路 CUT 上; 为了减少测试响应数据所用的空间及易于分析, 常常把响应数据压缩, 数据压缩电路的功能就是把测试响应数据压缩成特征符号; 比较电路把捕获到的响应特征符号与参考特征符号相比较, 最后给出结果: 通过还是未通过; 所有的测试操作, 包括测试开始、检测结束以及同步都由内测试控制电路控制。

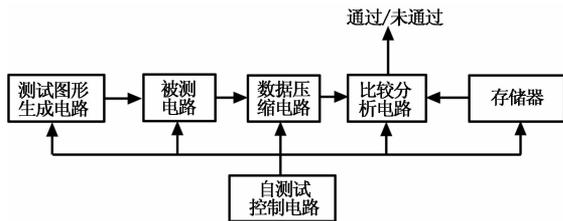


图 3 内建自测试结构示意图

内建自测试的核心技术是其控制器的设计。板级电路的内建自测试控制器设计方案可以采取以下 3 种方式。

(1) 被测系统自身的处理器。具有处理器的电路可以由系统自身的处理器作为内建自测试控制器。由于控制器自身是原来被测电路的一部分, 易于在控制器中集成测试功能。另外, 由于原控制器软件硬件设计人员对系统有足够的认识, 不需要重新了解系统设计方案, 使控制器增加测试功能的难度大大降低。当然, 测试与功能设计结合对设计人员的综合要求较高。

(2) 基于 DSP 的独立测试模块。使用 DSP 作为独立的测试模块具有简单、方便的特点。通常, 只需要改变程序代码就可以完成测试功能的增加。但是测试设计人员在对系统的功能和结构特性的缺乏了解的情况下是无法独立完成测试工作的, 需要系统设计人员的系统或者接受专门的培训。

(3) 基于 FPGA 的独立测试模块。选择 FPGA 作为独立的测试模块实现对原系统的测试是一种快速并且应用更加广泛

的设计方案^[6]。这种方案使用标准硬件描述语言将测试电路设计在 FPGA 中, 比 DSP 更加通用, 不受到具体处理器型号的限制。并且具有较高的保密性。

2 数据采集器的可测性设计

2.1 性能指标分析

作为典型的数模混合系统, 该数据采集器采取先将高速采集的数据缓存在 RAM 中, 再从 RAM 中以适当的速度读取到计算机中的工作方式。对于同步输入信号, 一般采取等周期采样, 因此需要 PLL 锁相环电路对同步信号的时钟进行倍频。随着可编程逻辑器件的发展, 原来外挂的 RAM 现在可以嵌入在 FPGA 中, 而且嵌入式 RAM 存储容量可以满足一般的存储要求, 本数据采集器即采用这种嵌入式 RAM 的方式。将 RAM 和多种逻辑模块嵌入在 FPGA 中不但使得系统的集成度提高, 减少 PCB 板的布线, 而且便于附加测试电路, 利于可测性设计。

实际测试工作中不可能也没有必要测试全部性能, 应该选择有代表性的某几个参数。选择的各参数时尽量保持独立性, 即互不依赖, 还要能够尽量全面检测到系统的所有故障。

本数据采集器选出的指标有 11 个: 系统精度、采集速率、增益、线性度、直流偏差、截止频率、转换速度、转换噪声、PLL 输出频率、DSP 自检指标和 FPGA 自检指标。

2.2 可测性设计方案

在可测性设计过程中, 我们遵循可测性设计原则“分块设计法”, 将整个数据采集系统分成信号调理电路模块、FPGA、A/D 采样模块、PLL 电路模块和 DSP 微处理器控制模块五大部分。实际工作分为系统功能模块的状态检测和系统电路的故障诊断两个部分: 前者从系统功能要求出发, 重点解决各模块本身功能特性的检测; 后者从模块内部电路元件的故障诊断出发, 重点解决具体电路中故障元件的定位问题。

各个功能模块的主要故障及采用的可测性设计技术如下表 1。设计方案如图 4。

表 1 功能电路故障类型及可测性技术

功能电路	故障类型	可测性技术
信号调理电路	功能性故障 (增益、线性度、直流偏差等)	增加测试点与通道开关
FPGA	结构性故障 (器件焊接错误、与其它器件连接故障)	边界扫描技术
A/D 采样	功能性故障 (采集速率、转换速度、转换噪声)	环绕 BIT 技术
PLL 电路	功能性故障 (输出频率)	比较 BIT 技术
DSP	结构故障 (与其他芯片连接故障) 与功能故障	BIST 技术

(1) 由于模拟电路的存在, 设计在某些关键节点上增设边界扫描专用芯片模拟通道开关 (STA400), 故障诊断时处于专门的测试模式。此模式下根据不同的测试点以及通道开关所处位置, 按照一定的测试顺序, 逐级分块测试, 可以逐步诊断出故障。所加的测试激励来自模拟信号专用测试总线 AT1 和 AT2。每个测点都挂在通用总线 AT1 和 AT2 上, 并在 JTAG 管理下将总线上的信号加载不同的测试点。

(2) 环绕技术是一种非并行测试技术, 如图 5 所示。在测

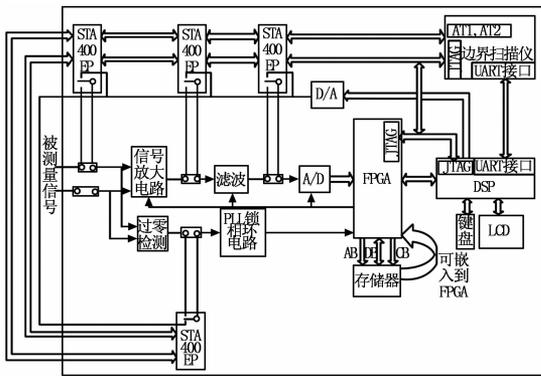


图 4 数据采集器可测性设计方案

试时必须终止系统的正常操作。环绕技术要求被测电路中具有微处理器、输出 D/A 转换器和输入设备 A/D 转换器等。该技术在电路中增加了机测试电路初始化线路和 D/A 输出的模拟信号连接到 A/D 输出设备的线路（也可以使用模拟开关），并在存储器中保存着测试方案的各个检测信号信息和相应的发送、比较数据。若比较的结果存在不匹配，则表示存在故障。

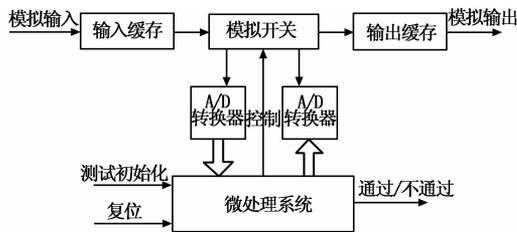


图 5 环绕 BIT 技术

(3) 比较 BIT 也是一种非并行测试技术，可以容易地实现多种不同功能的自测试电路。在具体实现时，通常都是将激励施加到被测电路 UUT 上，然后将 UUT 的输出连同参考信号送入比较器中；UUT 的输出与参考信号进行比较之后，输出通过/不通过信号。数据采集器的 PLL 测试性设计，由 FPGA 产生某一频率的方波信号，经 PLL 倍频后再输入到 FPGA 中，通过计算比较 PLL 是否实现了预期的倍频。

(4) BIST 控制器设计。DSP 作为 BIST 核心控制器。一方面，DSP 作为系统数据采集的控制中枢，向 FPGA 发送指令控制数据采集的进程，并将采集到的结果存放到 RAM 中或者由液晶显示屏显示。另一方面，DSP 作为测试控制的核心，控制多路开关状态、被测电路的测试激励输入、测试响应的存放和测试结果的判断与显示。

3 数据采集器的可测性评估

基于多信号流模型的可测性评估方法在目前应用较多。多信号模型是在系统结构和功能分析基础上，以分层有向图表示信号流向和各组成单元的构成及相互连接关系，并通过定义信号等关键的性能指标及组成单元的故障模式、测试与信号之间的关联性来表征系统组成、功能、故障及测试之间相关性^[7]。基于多信号流模型的分析步骤如下：

- (1) 定义信号。分析电路找出若干关键参数作为信号。要尽量保证这些参数独立，同时要能较为全面的表征性能。
- (2) 建立依赖关系。找到组成单元与信号（指关键参数）的影响关系，即每个单元究竟会对那些信号产生影响。
- (3) 加入测试点。测试点的设置应以全面检测系统故障为

目标。在一个测试点可施加不同的多个测试。

(4) 建立模型。根据信号、依赖关系、测试点，遵循建模原则，绘制被测系统的多信号模型。

(5) 建立故障—测试相关矩阵。要将多信号模型所表现出来的故障、组成单元、测试之间的相互关系用数学中矩阵的形式表示出来，以更加简单、直观地进行故障分析和可测性评估。

(6) 故障特性分析，包括识别未检测故障、模糊组和冗余测试。

(7) 计算故障检测率和故障隔离率。计算公式由标准规定。

美国 QSI 公司推出的 TEAMS 软件正是基于该模型开发的可测性分析软件，作为辅助工具其广泛应用在军事装备的可测性设计中。下面我们将利用多信号流模型及 TEAMS 软件评估数据采集器的可测性设计。

3.1 设计前评估（先评估）

(1) 定义信号。在不进行可测性设计的情况下，数据采集器的固有测试性对如下 6 个性能指标不能测试：截止频率、转换速度、噪声、F/V 电压、DSP 自检指标和 FPGA 自检指标。可测试的信号有 5 个，用字母 S 表示： S_1 为增益、 S_2 为线性度、 S_3 为直流偏差、 S_4 为系统精度、 S_5 为采集速率。对电路来说，任何一个参数出现问题电路都属于不正常（即故障）。

(2) 建立依赖关系。找到组成单元与信号（指关键参数）的影响关系。根据电路分析可以知道各个模块的主要性能指标，这些指标就是相应模块影响的信号。电路依赖性关系如表 2。

表 2 元件与信号关联关系

模块名称	关联信号代号
放大电路 1	$S_1, S_2, S_3, S_4,$
放大电路 2	$S_1, S_2, S_3, S_4,$
滤波器 1	无
滤波器 2	无
AD 转换电路 1	$S_2, S_4, S_5,$
AD 转换电路 2	$S_2, S_4, S_5,$
PLL	S_2, S_3 和 $S_4, S_5,$
DSP	S_5
FPGA	S_5

(3) 加入测试。根据电路特征，制定的电路功能测试诊断方案为，设置测试点 TP1、TP2、TP3、TP4 和 TP5。据此定义测试如表 3。

表 3 测试名称、位置和检测信号名称

测试名称	测试点名称	检测信号名称
t_1	TP ₁	电压增益 S_1
t_2	TP ₁	线性度 S_2
t_3	TP ₁	直流偏差 S_3
t_4	TP ₂	电压增益 S_1
t_5	TP ₂	线性度 S_2
t_6	TP ₂	直流偏差 S_3
t_7	TP ₃	线性度 S_2
t_8	TP ₄	线性度 S_2
t_9	TP ₅	系统精度 S_4
t_{10}	TP ₅ 采集速率	S_5

(3) 最终选中一个仪器时, 将仪器的占用状态置为真, 当调试任务结束断开连接时, 释放占用状态。

5 试验结果与分析

制动系统的试验采用手动和自动两种方式进行的。经过多次试验, 原来一次制动调试需要工人调试 2~3 天, 采用基于流程的调试方法后, 调试过程中不需要工人做任何操作, 而且调试时间缩减为 1~1.5 天, 效率提高了 1 倍。由此可以看出, 基于流程的制动系统试验方法, 改变了以往的调试模式, 能够不断地积累调试经验, 同时提高了调试效率。

6 结束语

基于流程的制动系统试验方法第一次在制动系统试验中引

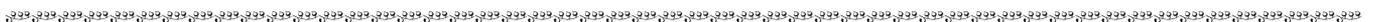
入流程的概念, 使测试过程更加规范和通畅。采用通用平台架构既可以免去软件编程和维护的烦恼, 也可以管理多个车辆型号的调试工艺, 在调试过程中采用自动化过程, 提高了调试的效率和准确性。

参考文献:

[1] 李行善, 左毅, 孙杰. 自动测试系统集成技术 [M]. 北京: 电子工业出版社, 2004.

[2] 刘昕. 面向信号的测试资源映射技术研究 [D]. 哈尔滨: 哈尔滨工程大学, 2011.

[3] 曲宾, 李晓白, 路辉. ATML 描述仪器通道资源方法研究 [J]. 计算机与现代化, 2008, (9): 14-17.



(上接第 1480 页)

(4) 建立模型: 建立多信号流模型如图 6 所示。

在 TEAMS 软件输入模型后, 由软件得到相关矩阵并进行测试性分析, 分析结果如图 7。图中可知, 可测性设计前的数据采集器可完全检测出 5 个技术指标, 模糊度为 1 的隔离率为 34%, 模糊度为 2 的隔离率为 66%。

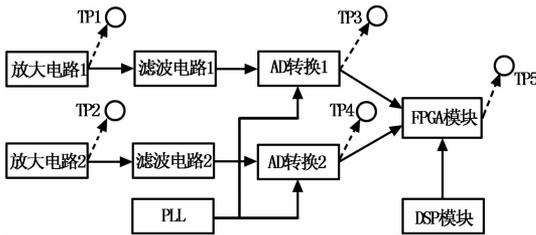


图 6 数据采集器先评估模型

TESTABILITY FIGURES OF MERIT	
Percentage Fault Detection	= 100.00% (UW: 100.00%)
Percentage Fault Isolation	= 34.00% (UW: 40.00%)
Percentage Retest OK's	= 33.00%
Ambiguity Group Size	= 1.66

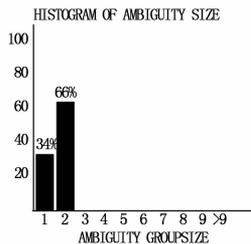


图 7 测试性分析结果

3.2 设计后评估 (后评估)

将 11 个性能指标全部纳入范围进行可测性设计后, 按照 3.1 的分析步骤进行可测性设计评估, 得到图 8 的模型和相应的分析结果。评估结果表明: 该模型对 11 个测试信号的检测率是 100%, 故障隔离率也是 100%。

3.3 结果对比

从可测性设计前后的分析结果来看, 增加可测性设计, 可以提高电子系统的故障检测率和隔离率。但是, 可测性设计过程中增设的外围电路增大了系统的面积、功耗等开销。同时,

在一定程度上降低了系统的可靠性。

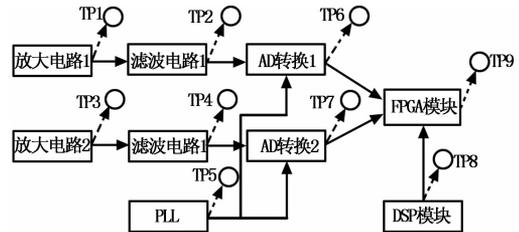


图 8 数据采集器后评估模型

4 结论

在一定的测试代价下, 系统通过可测性设计可以将故障定位到 SRU (车间可更换单元)、某个功能电路、某个元器件甚至到某个器件的引脚。但要进一步提高故障隔离率, 则必须增加测试的代价。在某些情况下, 测试结论与代价的性价比并不高。因此我们认为可测试性技术的应用可以极大地提高产品的“完整质量”, 降低其全寿命周期费用, 但故障未必需要定位到具体的某个器件或某个引脚, 在实际中应根据测试需求可将故障定位到某些功能电路或者某个模块。

参考文献:

[1] 田仲, 石君友. 系统测试性设计分析与验证 [M]. 北京: 北京航空航天大学出版社, 2003.

[2] 温熙森, 刘冠军, 黎惊伟, 等. 基于边界扫描的板级 BIT 技术研究现状及发展趋势 [J]. 国外计划, 1999, 19 (3): 38-41.

[3] 雷绍充, 等. VLSI 测试方法学和可测性设计 [M]. 北京: 电子工业出版社, 2005.

[4] IEEE Std 1149.1-2001. IEEE Standard Test Access Port and Boundary-Scan Architecture [S].

[5] IEEE Std 1149.4-1999. IEEE Standard for a Mixed-Signal Test Bus [S].

[6] 杜影, 等. 基于 FPGA 的板级 BIST 设计与实现策略 [J]. 计算机测量与控制, 2008, 16 (3): 389-391.

[7] Deb S, Ghoshal S, Mathur A, et al. Multi-signal Modeling for Diagnosis, FMECA, and Reliability Systems [C]. Proc of the IEEE Int Conf on Man, and Cybernetics, New York IEEE Press, 1998: 3026-3031.