

基于路径相关性的电路小延时缺陷检测算法

成丽君¹, 张宇波¹, 钱宇华²

(1. 山西农业大学 信息科学与工程学院, 山西 太谷 030801; 2. 山西大学 计算机与信息技术学院, 太原 030006)

摘要: 在基于纳米技术的现代电路中, 小延时缺陷 (SDDs) 检测是个重要问题, 即使这些 SDD 缺陷没有导致功能性故障, 也是一种可靠性隐患, 如果工艺发生变化, 这些缺陷的检测更为困难; 文章提出一种基于电路路径延时相关性的 SDD 缺陷检测算法, 即使工艺发生变化也可以检测出 SDD 缺陷; 该算法利用了如下原理: 对两个高度相关的路径, 一条路径的延时方差的重要部分可以用另一条路径的延时方差进行描述; 另外, 考虑了空间和结构相关性及随机掺杂波动, 开发并部署了一种统计学计时分析框架, 以计算时间信息和跨径相关性 (IPC); 基于 74LS85 和 ISCAS85 基准电路的仿真结果验证了算法的可行性。

关键词: 电路; 小延时缺陷; 故障; 路径相关性; 扫描方差

Circuit Small Delay Defects Detection Algorithm Based on Path Correlation

Cheng Lijun¹, Zhang Yubo¹, Qian Yuhua²

(1. Information Science and Engineering College, Shanxi Agricultural University, Taigu 030801, China;

2. School of Computer and Information Technology, Shanxi University, Taiyuan 030006, China)

Abstract: Detection of Small Delay Defects (SDDs) is a major concern in modern circuits using nanometer technologies, even when SDDs do not produce functional failures, they represent a reliability risk. The detection of these defects aggravates in the presence of process variations. In this paper, a methodology to detect SDDs in the presence of process variations using delay correlation information between paths of a circuit is proposed. This methodology exploits the concept that for two highly correlated paths, an important part of the delay variance in one path can be described by the delay variance in the second path. In addition, a statistical timing analysis framework has been developed and implemented to compute timing information and Inter-Path Correlation (IPC), which considers the spatial and structural correlation, and random dopant fluctuations. Simulation results in 74LS85 and ISCAS85 benchmark circuits evince the feasibility of the proposed methodology.

Key words: circuits; small delay defects; fault; path correlation; screenable variance

0 引言

在本文中, 我们提出一种 SDD 检测方法, 即使发生工艺变化, 也可以检测出关键和非关键路径的 SDD 缺陷。通过分析两条路径的输出相关性, 可以将缺陷导致的小延时和工艺变化区分开来。该算法利用了如下原理: 对两个高度相关的路径, 一条路径的延时方差的重要部分可以用另一条路径的延时方差进行描述。两条路径的延时输出测量值一定与跨径相关性 (IPC) 相吻合。否则, 两条路径中便有一条存在缺陷。通过观察多个时间延时间隔时的输出来获得输出延时测量值。开发并部署了一种统计学计时分析框架, 以计算计时信息及跨径协方差, 以估计跨径相关性。它还考虑了空间和结构相关性及随机掺杂波动。基于 74LS85 和 ISCAS85 基准电路的仿真结果验证了本文算法的可行性。

1 相关性原则

本文通过分析路径间的输出延时相关性来确定是否存在缺陷。

收稿日期: 2013-12-28; 修回日期: 2014-02-08。

基金项目: 国家自然科学基金重点项目 (61322211/F020512); 山西农业大学青年基金 (201319)。

作者简介: 成丽君 (1980-), 女, 山西太谷人, 硕士, 讲师, 主要从事故障诊断、移动终端程序设计方向的研究。

钱宇华 (1976-), 男, 教授, 博士生导师, 主要从事故障诊断、数据挖掘、社会网络方向的研究。

陷。下面, 我们讨论与本文有关的相关性原则。

我们经常使用概率分布来描述随机变量。两个概率分布间的关系被描述为两个变量相对标称值的变化幅度, 且这一特征被称为协方差。我们使用称为相关性系数 (ρ) 的无量纲系数, 该系数的数值在 -1 和 1 之间。如果两个变量完全相关, 则可以使用线性近似来表示两个变量间的关系 (见图 1a)。如果两个随机正态变量的相关性比较强 ($\rho > \pm 0.5$), 则两个变量间的关系为半线性关系 (见图 1b)。

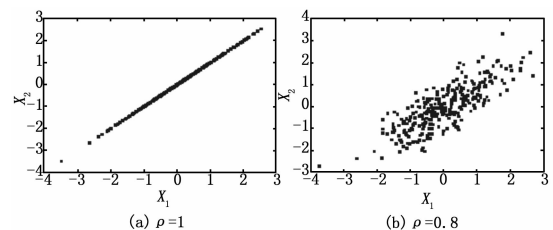


图1 相关性程度不同时, 均值为 0、方差为 1 的两个随机变量的点状分布图

完全相关关系和非完全相关关系间的一个重要区别就是关系的可预测性。可预测性是指根据一个变量对另一个变量的估计精度。如果是完全相关, 则预测出的值是准确的; 但是对相关性低于 1 的相关性, 估计精度将会下降。通过考虑相关性的最基本含义, 即相关性系数的平方 (ρ^2), 可以解释两个变量间的可预测性。这种形式的相关性系数表示一个变量的部分方

差,且该部分方差可被另一个变量的方差描述,反之亦然。例如,考虑两个变量 A 和 B 且 $\rho = 0.7$, 系数 $\rho^2 = 0.49$ 表示一个变量 49% 的方差与另一个变量的方差存在关联。换句话说,一个变量 49% 的方差可以归属于另一个变量的方差,但是仍然有 51% 的变量无法由另一个变量的方差描述。一个变量的总方差是与另一个变量相关联的变差和无法用另一个变量描述的变差之和。这可以看成预测性误差。于是,当 $\rho < 1$ 时,根据一个变量(比如 X_1) 的样本估计而得的另一个变量(比如 X_2) 的范围可以表示为标准估计误差 (σ_e):

$$\sigma_e = \sqrt{\sigma_{X_2}^2(1 - \rho_{X_1, X_2}^2)} \quad (1)$$

式中, σ_e 取决于被估计变量的方差及两个变量间的相关性。

2 基于跨径相关性的小延时缺陷检测

可以使用变量间关系的偏差来检测小延时缺陷。本节首先给出一种单相关性算法,然后进一步提出了一种多相关性算法。

2.1 检测相关性偏差

已知估计标准误差后,利用每个变量的一个样本,就可以验证两个变量间的相关性。比如一个样本 $X_{1,i}$ (见图 2), 阈值间隔 (σ_e) 确定一个窗口, $X_{2,i}$ 的可能值必须落入该窗口才能与两个变量间的关系保持一致。如果 $X_{2,i}$ 的值超过阈值间隔,则该样本与相关性不一致。 $X_{2,iFC}$ 表示全相关假设时 X_2 的值。

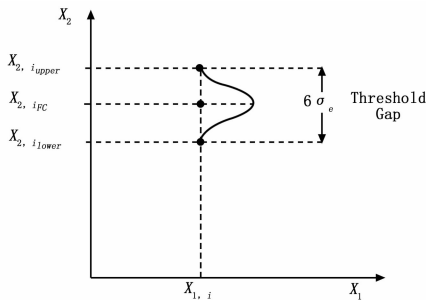


图 2 样本 $X_{1,i}$ 和 σ_e 定义的阈值间隔

$X_{2,i}$ 为了与预测关系保持一致而必须落入的范围定义为:

$$\left(\frac{\sigma_{X_2}}{\sigma_{X_1}}\right)(X_{1,i} - \mu_{X_1}) - 3\sigma_e \leq X_{2,i} - \mu_{X_2} \leq \left(\frac{\sigma_{X_2}}{\sigma_{X_1}}\right)(X_{1,i} - \mu_{X_1}) + 3\sigma_e \quad (2)$$

式中, σ_{X_1} 和 σ_{X_2} 为标准偏差, μ_{X_1} 和 μ_{X_2} 为变量 X_1 和 X_2 的均值。

两个非完全相关的变量的两个样本必须满足式 (2)。否则,一个甚至两个样本均将无法与预测相关性一致。式 (2) 表示了根据 X_1 估计 X_2 时的检测间隔。当根据 X_1 估计 X_2 时,式 (1) 和式 (2) 中的下标必须要倒转。

2.2 基于单相关性的 SDD 缺陷检测

使用先前的相关性偏差检测算法来检测电路 SDD 缺陷。于是,在下文中, ρ 表示 IPC。如果两个路径的延时信息和 IPC 已知,则公式 (2) 可以重写为公式 (3),其中 $D_{j,i}$ 是第 j 个路径的第 i 个延时样本。

$$\left(\frac{\sigma_{D_2}}{\sigma_{D_1}}\right)(D_{1,i} - \mu_{D_1}) - 3\sigma_e \leq D_{2,i} - \mu_{D_2} \leq \left(\frac{\sigma_{D_2}}{\sigma_{D_1}}\right)(D_{1,i} - \mu_{D_1}) + 3\sigma_e \quad (3)$$

式中, σ_{D_1} 和 σ_{D_2} 为标准偏差, μ_{D_1} 和 μ_{D_2} 为路径延时 D_1 和 D_2 的

均值。

图 3 给出了某个电路路径 1 和 2 的输入/输出波形。深色区域表示工艺变化导致的输出延时变化。在第一种情况下(中间波形), P_2 和 P_1 间的相关性为 1。在第二种情况下(底部波形), P_2 和 P_1 间的相关性小于 1。全相关时,管芯 i 处 P_1 输出的延时样本测量值 ($D_{1,i}$), 对应于同一个管芯 P_1 输出的确定值 ($D_{2,iFC}$)。对于非完全相关性 ($\rho_{12} < 1$), $D_{2,i}$ 可以使任何值均在阈值间隔范围(浅色区域)内。该阈值是由均值 ($D_{2,iFC}$) 和标准偏差 (σ_e) 定义的概率分布函数。跨径相关性越大,阈值间隔越小。如果 $D_{2,i}$ 没有落在该阈值间隔内,则表明存在缺陷。SDD 缺陷可以增加路径的延时长度,使其越过阈值间隔,我们可以将这种 SDD 缺陷与工艺变化区分开来,实现 SDD 缺陷检测。最小可检测延时为 $\Delta D_{min} = 3\sigma_e$ 。

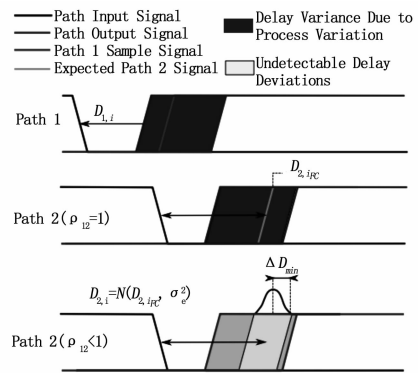


图 3 根据一条路径的延时可以检测出另一路径的最小延时偏差

不论长/短路径的时间松弛度如何,该检测算法均可以检测出 SDD 缺陷。无缺陷电路正态分布形状内部的工艺变化 SDD 缺陷被检测出来后,到底有多少效益,取决于被测电路的实际速度。这一点将在下文分析。图 4 给出了两个路径的可能延时分布。路径 2 是目标路径(即测试路径)。 $D_{j,i}$ 表示第 j 个路径第 i 个样本管芯的延时。 Δ_1 、 Δ_2 、 Δ_3 表示每个样本的检测间隔。对慢速管芯 ($D_{1,1}$ 、 $D_{2,1}$), 效益包括无缺陷电路高斯形状的下方微小区域。另一方面,对于快速管芯 ($D_{1,3}$ 、 $D_{2,3}$), 使用跨径相关性的效果在于无缺陷电路高斯形状的下方显著区域。

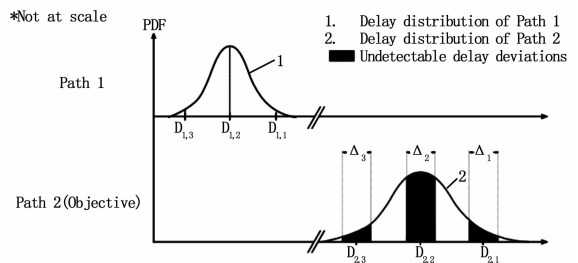


图 4 利用本文算法后可以获得的 SDD 缺陷检测性能提升

2.3 基于多相关性的 SDD 缺陷检测

部分路径可能不存在高相关性。可以使用多路径相关性来增加跨径相关性。因此,这可以增加被测试路径的 SDD 可检测性(比如检测出更小的 SDD 数值)。这一方法需要定义被测试路径,称为目标路径(OP),同时定义一组路径($P_1 \dots P_n$),称为预测路径。这可以帮助我们提高被测试路径的可检测性。利用与 OP 路径方差存在关联的预测路径的样本,可以估计出

OP 路径的样本值。这一近似的估计标准误差与多相关性系数 ($R_{OP.P_1 \dots P_n}$) 成比例。多相关性系数表示与预测路径存在关联的目标路径的部分方差。于是, $R_{OP.P_1 \dots P_n}$ 表示多 IPC 相关性。估计的标准误差 (σ_e) 表示为:

$$\sigma_e = \sqrt{\sigma_{OP}^2 (1 - R_{OP.P_1 \dots P_n}^2)} \quad (4)$$

通过包含与 OP 路径方差存在关联的预测路径, 可以增加总相关性数值。共同方差越大, 总相关性越大。

3 跨径相关性估计

通过基于路径的统计学计时分析可以获得跨径相关性估计。利用之前根据部分指标选择而得的敏感化分离路径对其部署。计算 IPC 时考虑的主要因素包括: 工艺变化、空间相关性、结构相关性。估计 IPC 还考虑了管芯到管芯 (D2D) 和管芯内 (WID) 工艺变化。对空间相关变化和随机变化 (比如随机掺杂波动 RDF) 进行了建模。空间相关性是指两个参数数值的空间关系。它可以表示为一个对晶片相关性物理测量值进行拟合的分析函数。文献 [1] 就准确建模空间相关性的函数的选择标准给出了完整分析。本文使用 Long 等人在文献 [2] 中提出的模型来分析空间相关性。该模型用指数函数来建模空间相关性行为。该模型使用多个网格来表示管芯区域, 并且认为位于一个网格中的所有设备具有相同的参数变化。结构相关性由电路拓扑结构生成, 当两个路径共享门电路时认为存在结构相关性。结构相关性路径的 IPC 应该比较高, 因为共享门电路的所有随机变化和系统变化都会在两个路径间产生相同的波动。

为了估计跨径延时相关性, 需要计算每个路径的延时分布及两个路径间的协方差。被测测试路径被敏化和分离后便可以计算每个路径的延时分布。考虑到路径门电路间的空间相关性, 通过增加每个引脚对引脚门延时分布, 可以实现这一点。认为影响电路的过程参数服从正态分布。因此, 每个门延时可以表示为过程参数的线性组合, $D = D_0 + s_1 X_1 + s_2 X_2 + \dots + s_n X_n$, 其中 D_0 表示标称延迟, s_i 表示第 i 个过程参数的变化的延时敏感系数, X 表示所考虑的影响电路延时性能的参数变化 (L, W, T_{ox}, V_{th})。这些变化可能是系统性变化, 也可能是随机性变化。利用 SPICE 仿真将每个门电路的敏感性和标称延时预先描述为一个电容负载和输入转换时间的函数。

4 仿真实验

将本文技术部署到基于 TSMC 0.18 μm 技术的定制设计电路 (74LS85) 和 ISCAS85 C499 基准数字电路的部分路径上。使用 Mentor Graphics 公司布局、合成、模拟和 DFT 工具组合, 及 TSMC 标准库单元。假设 L, W, T_{ox}, V_{th} 发生 $\pm 15\%$ 波动。SDD 扫描方差 (screenable variance) (SSV) 定义为表示 SDD 效应可被检测的方差比例的一个指标。SSV 计算方法如下:

$$SSV = \left(1 - \frac{\sigma_e}{\sigma_D}\right) \times 100\% \quad (5)$$

式中, σ_D 表示目标路径的总协方差, σ_e 表示预测路径估计的标准误差。

下面, 将给出部分定制设计路径有 RDF 及无 RDF 扰动时不同 WID-D2D 关系情况下的跨径相关性。然后, 给出结构相关性路径的仿真结果。最后, 给出 ISCAS C499 部分被选路径的仿真结果。

4.1 跨径相关性

下面分析将给出有 RDF 及无 RDF 扰动时不同 WID-D2D 变化关系情况下的 IPC。图 5 给出了每个门电路初始位置坐标为 (x, y) 的两个定制路径。在该实验中, 门电路位置以通用长度单位 (ul) 给出, 且网络大小为 10×10 ul, 管芯区域为 200×200 ul, 相关距离为 100 ul。通过在 x 坐标方向逐渐移动路径 B 来增加两条路径间的跨径距离 (R_{AB})。

在图 6 (a), 将图 5 中路径 A 和路径 B 间的 IPC (ρ_{AB}) 表示为无 RDF 扰动时不同 WID-D2D 关系的 R_{AB} 的函数。可以看出, 当跨径距离增加时, IPC 呈线性下降。如我们期望的, 这一点对除了 $WID = 0$ 时其他所有 WID-D2D 关系均成立。WID 变化越大, IPC 下降的越快。D2D 变化会对 IPC 产生抵消作用。这意味着, 即使设备之间的距离较远, IPC 相关性也会达到最低水平。如图 6 (b) 所示, 随机变化的影响 (比如 RDF) 就是降低 IPC 相关性。

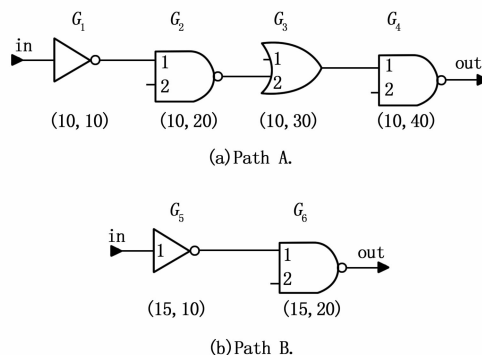


图 5 空间相关性分析时的被测测试路径

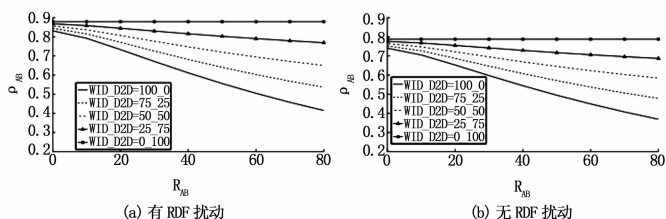


图 6 不同 WID-D2D 相关性时 IPC 作为跨径距离的函数

4.2 结构相关性对缺陷范围的影响

我们已经获得了具有 IPC 结构相关性的路径的仿真结果。图 7 (a) 给出了具有两个结构相关性路径的一条电路 (路径-3 和路径-4)。这些路径共享门电路 G1 和 G2。表 1 给出了每条路径的标准误差 (σ)、路径间的相关性、估计标准误差 (σ_e) 及 SSV。

表 1 路径 3 和路径 4 间的 IPC 相关性

路径	σ	ρ_{34}	σ_e	SSV
路径 3	22.22ps	0.699 7	15.87ps	28.55%
路径 4	22.87ps		16.33ps	

当两条路径具有结构相关性时, 共享路径的缺陷不会使 IPC 相关性出现偏差, 因为它对两个路径延时的影响的程度是相同的。这就是说, 即使 IPC 较高, 结构相关性路径的缺陷范围可能会较低。为了解决这一问题, 可以考虑多条路径。例如, 考虑图 7 (b) 中与图 7 (a) 任何路径均无结构相关性的路径。表 2 给出了路径 3 和路径 5 间的 IPC 相关性。使用第 3 条路径,

则可以根据表 2 检测出共享部分的缺陷。因此, 通过第 3 条分离路径, 可以检测出结构相关性路径中未被检测出来的缺陷。

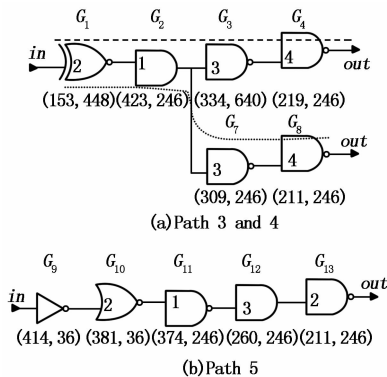


图 7 74LS85 电路的路径, 以表明结构相关性路径的相关情况

表 2 路径 3 和路径 5 间的 IPC 相关性

路径	σ	ρ_{35}	σ_e	SSV
路径 3	22.22ps	0.6078	17.54ps	20.6%
路径 5	21.67ps		17.21ps	

4.3 ISCAS85 C499 仿真结果

对 ISCAS85 C499 部分被选路径使用本文单相关性和多相关性算法。考虑两条测试路径 (目标路径)。最多选择 3 条路径集合 (预测路径) 来提升目标路径的检测效果。有人已经提出了一种启发式选择算法以选择分析路径。鉴于 65-35 WID-D2D 相关性, 我们考虑了 RDF 效应。

目标路径 1:

图 8 给出了目标路径 1 和被选预测路径。在每条门电路下面给出了门电路空间位置的坐标 (x,y), 单位为 μm 。通过部署 SSTA 框架, 可以计算出目标路径 1 及其预测路径集合间的互相关性矩阵。(见表 3)。

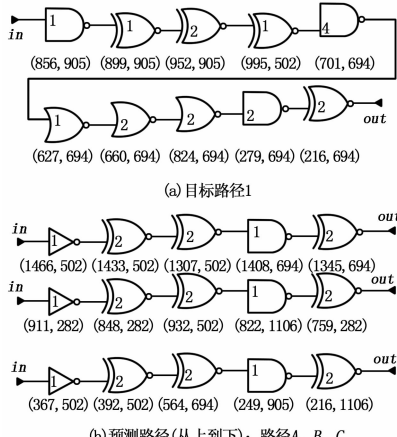


图 8 目标路径 1 及其预测路径集合

表 3 目标路径 1 时的互相关矩阵

	路径 A	路径 B	路径 C	目标路径 1
路径 A	1	0.458 1	0.407 0	0.694 3
路径 B	0.458 1	1	0.444 5	0.686 1
路径 C	0.407 0	0.444 5	1	0.604
目标路径 1	0.694 3	0.686 1	0.604	1

表 4 基于 3 条预测路径的目标路径 1 的参数

路径	σ_D	$R_{OP,ABC}$	σ_e	ΔD_{\min}
路径 A	20.20ps	0.838 3	28.71ps	86.15ps
路径 B	22.35ps			
路径 C	22.77ps			
目标路径 1	52.75ps			

表 4 给出了每条路径的标准延时偏差 (σ_D), 多相关性系数 ($R_{OP,ABC}$), 目标路径 1 及其预测路径的估计标准偏差, 目标路径 1 的最小可检测延时 (ΔD_{\min})。 $R_{OP,ABC}$ 的数值相对较高, 可以检测出 86.15ps 以上的延时偏差。

表 5 目标路径 1 的 SDD 扫描方差

目标路径 1 的 SSV (%)	1 条路径	2 条路径	3 条路径
	28.03	35.33	45.55

表 5 给出了考虑不同数量预测路径时的 SSC 指标。当只有 1 条预测路径 (路径 C) 时, SSV 为 28.03%。当有两条路径 (路径 C 和 B) 时, SSV 上升到 35.33%。最后, 当有 3 条路径时, SSV 上升到 45.55%。这说明, 我们考虑的路径数量越大, 可以将 SDD 缺陷和工艺变化区分开的方差部分也将上升。如第 2.2 节所示, 如果管芯的速度变快, 则 SDD 缺陷检测的性能也将有更大提升。

目标路径 2:

从 ISCAS85 C499 选择第 2 条目标路径 2 及其预测路径 (图 9)。用与上文类似的方法获得仿真结果。该路径比目标路径 1 短, 但是包括更多的高可变性门电路 (XNOR 门电路)。这些特征对结果有直接影响。相关结果信息见表 6~8。仿真结果表明, 即使是对高可变性门电路, 本文算法仍然有效。

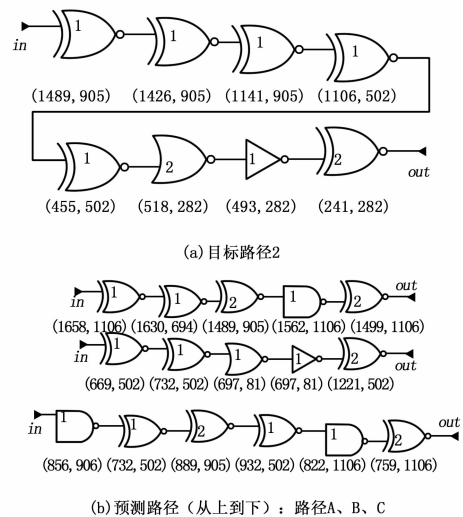


图 9 目标路径 2 及其预测路径集合

表 6 目标路径 2 时的互相关矩阵

	路径 A	路径 B	路径 C	目标路径 2
路径 A	1	0.502 0	0.467 3	0.624 3
路径 B	0.502 0	1	0.402 3	0.646 1
路径 C	0.467 3	0.402 3	1	0.589 8
目标路径 2	0.624 3	0.646 1	0.589 8	1

表 7 基于 3 条预测路径的目标路径 2 的参数

路径	σ_D	$R_{OP,ABC}$	σ_e	ΔD_{min}
路径 A	17.14ps	0.777 7	29.87ps	89.63ps
路径 B	20.51ps			
路径 C	27.71ps			
目标路径 2	47.53ps			

表 8 目标路径 2 的 SDD 扫描方差

目标路径 2 的 SSV(%)	1 条路径	2 条路径	3 条路径
	23.67	32.7	37.13

5 结论

本文提出一种基于电路路径延时相关性信息的 SDD 缺陷检测方法, 即使存在工艺变化, 也可以检测出 SDD 缺陷。该算法利用了如下原理: 对两个高度相关的路径, 一条路径的延时方差的重

要部分可以用另一条路径的延时方差进行描述。我们还将本文算法拓展到多路径相关性情况, 使得我们可以检测出更微小的 SDD 缺陷。我们同时提出并部署了一种统计学计时分析框架, 以计算计时信息和跨径相关性。基于 74LS85 和 ISCAS85 基准电路的仿真结果证明了本文算法的可行性。仿真结果表明, 本文算法可以检测出落入被测试路径工艺变化范围内的 SDD 缺陷。我们下一步研究工作的重点是在本文提出的小延时缺陷检测方案的基础上, 基于隐马尔科夫模型进行电路故障诊断。

(上接第 1356 页)

量炉, 常用于温度测量仪的校正。验证时分两种情况来进行, 一种是使温度测量系统的处理电路和传感器都处于计量炉内, 其测量结果如表 1 所示。另一种是只是传感器处于计量炉内, 其它的处理电路都处于炉外的常温环境中, 其测量结果如表 2 所示。

表 1 测量系统处理电路处于记录炉内的测量数据

序号	记录炉温度(℃)	系统测量温度(℃)	误差(℃)
1	-25.851	-25.874	-0.023
2	-10.225	-10.241	-0.016
3	-5.082	-5.093	-0.011
4	-0.221	-0.222	-0.001
5	5.126	5.113	-0.013
6	14.985	14.976	-0.009
7	30.253	30.286	0.033
8	40.224	40.247	0.023
9	60.263	60.281	0.018
10	70.352	70.364	0.012

表 2 测量系统处理电路处于记录炉外的测量数据

序号	记录炉温度(℃)	系统测量温度(℃)	误差(℃)
1	-25.553	-25.587	-0.034
2	-10.264	-10.289	-0.025
3	-5.01	-5.022	-0.012
4	-0.211	-0.232	-0.021
5	5.014	4.995	-0.019
6	14.959	14.936	-0.023
7	30.051	30.069	0.018
8	40.127	40.153	0.026
9	60.282	60.321	0.039
10	70.228	70.291	0.063

从以上 2 表数据对比发现当温度测量系统的处理电路放置在计量炉外时, 测量效果非常好, 与计量炉的最大误差为 0.033℃。但当整个温度测量系统都处于计量炉内的测量准确度较差, 与计量炉的最大误差为 0.063℃, 这是因为温漂的原因。温度测量电路中的标准电阻和其它放大电路的温漂所致。

要部分可以用另一条路径的延时方差进行描述。我们还将本文算法拓展到多路径相关性情况, 使得我们可以检测出更微小的 SDD 缺陷。我们同时提出并部署了一种统计学计时分析框架, 以计算计时信息和跨径相关性。基于 74LS85 和 ISCAS85 基准电路的仿真结果证明了本文算法的可行性。仿真结果表明, 本文算法可以检测出落入被测试路径工艺变化范围内的 SDD 缺陷。我们下一步研究工作的重点是在本文提出的小延时缺陷检测方案的基础上, 基于隐马尔科夫模型进行电路故障诊断。

参考文献:

[1] Zhang W, Balakrishnan K, Li X, et al. Efficient Spatial Pattern Analysis for Variation Decomposition via Robust Sparse Regression [J]. IEEE Transactions on Computer-aided Design of Integrated Circuits and Systems, 2013, 32 (7): 1788-1799.
 [2] 龙志和, 陈青青, 林光平. 面板数据空间误差分量模型的空间相关性检验 [J]. 系统工程理论与实践, 2013, 33 (1): 72-81.

但不管是哪种验证方式, 测量系统的总体温度测量效果良好, 测量误差都小于 0.2℃设计目标。

4 结束语

通过采用自校正技术的测量电路, 实现了温度测量系统设计, 同时采用分段线性拟化方法解决了 Cu50 的非线性问题, 使整个温度测量系统实现准确度为±0.2℃, 分辨率为0.05℃的设计需求。通过福禄克的 Fluke9170 高精度计量炉来计量表示, 该系统工作稳定可靠, 测量准确度高, 满足设计要求。

参考文献:

[1] 杨雷, 张建奇. 电子测量与传感技术 [M]. 北京: 北京大学出版社, 2008.
 [2] 吴建平. 传感器原理及应用 [M]. 北京: 机械工业出版社, 2011.
 [3] 吕方瑶, 张池军, 闫勇, 等. 一类高精度温度测量技术研究 [J]. 电子测量技术, 2011, 34 (8): 88-90.
 [4] 张瑜, 张升伟. 基于铂电阻传感器的高精度温度检测系统设计 [J]. 传感技术学报, 2010, (4): 311-314.
 [5] 张修太, 胡雪惠, 翟亚芳, 等. 基于 PT100 的高精度温度采集系统设计与实验研究 [J]. 传感技术学报, 2010, 23 (6): 812-815.
 [6] 陆阳, 韩江洪, 魏臻, 等. 铂电阻测温系统温度补偿方法 [J]. 仪器仪表学报, 2000, (6): 255-262.
 [7] 程建华, 罗立成, 王鑫哲, 等. 高精度温度测量系统的测温补偿算法研究_程建华 [J]. 传感器与微系统, 2012, 29 (11): 36-39.
 [8] 许卓, 杨雷, 何志伟. 多通道热电阻精密测量中温度漂移的补偿法 [J]. 化工自动化及仪表, 2011, 38 (10): 926-929.
 [9] 刘天建, 王劭伯, 朱善安. 基于神经网络的铂电阻温度传感器非线性校正方法 [J]. 仪器仪表学报, 2002, (5): 518-520.
 [10] 杨延西, 刘丁. 基于 ANFIS 的温度传感器非线性校正方法 [J]. 仪器仪表学报, 2005, (5): 511-527.
 [11] 朱杰, 郭涛. 一种 Pt100 温度传感器的动态热响应模型 [J]. 传感技术学报, 2013, (1): 73-77.
 [12] 沈岷, 李舜韶, 周华鹏, 等. 高精度铂电阻温度测量新方法 [J]. 压电与声光, 2010, 32 (5): 889-893.
 [13] 苏振中, 王东, 陈俊全. 基于 XTR105 的多通道温度测量系统 [J]. 仪表技术与传感器, 2012, (8): 59-62.